

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-018021

(43)Date of publication of application : 25.01.1986

(51)Int.Cl.

G06F 1/04

G06F 1/00

H03L 3/00

(21)Application number : 59-137183

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.07.1984

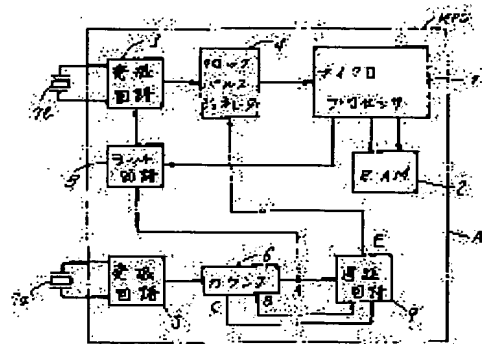
(72)Inventor : KIKUCHI AKIRA

(54) DATA PROCESSOR

(57)Abstract:

PURPOSE: To prevent a data error due to an abnormal oscillation produced immediately after the start of oscillation, by forming an action clock with a delay of a prescribed time for a data processing system which is capable of intermittent actions.

CONSTITUTION: A clock producing circuit 4 to which the output of an oscillation circuit 3 containing an oscillator 7b produces an action clock of a system. A latch circuit 8 latches a halt instruction and stops the oscillation of the circuit 3 to interrupt the working of the system. Then a start signal A is delivered from a counter 6 for restart of the system. Thus the circuit 3 starts oscillations. While the signal A outputted from the counter 6 is applied to the circuit 4 via a delay circuit 9 for control of the working of the circuit 4. Therefore the system action clock is produced from the circuit 4 when a fixed period of time passed after the start of oscillation of the oscillator 7b. This prevents a data error due to an abnormal oscillation produced immediately after the start of oscillation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-18021

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)1月25日

G 06 F 1/04
H 03 L 3/00

1 0 2

F-7157-5B
E-7157-5B
6964-5J

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 データ処理装置

⑯ 特 願 昭59-137183

⑰ 出 願 昭59(1984)7月4日

⑱ 発 明 者 菊 地 明 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称

データ処理装置

特許請求の範囲

1. システムを制御する制御信号を発生する制御部と、システムの動作に必要なデータを保持するメモリを備え、間欠動作可能にされたデータ処理システムにおいて、システムの動作制御信号を形成する基準の信号を発生するため高い周波数で発振する発振子を含む第1の発振回路と、間欠動作のクロックを発生するため低い周波数で発振する発振子を含む第2の発振回路と、上記第1の発振回路からの発振信号に基づいてシステムの動作動作制御信号を形成する信号形成回路と、上記第1の発振回路の停止中にこれを起動すべく形成された起動信号を遅延する遅延回路とを有し、上記起動信号によって上記第1の発振回路が直ち動作されるとともに、上記遅延回路によって遅延された信号によって上記起動信号よりも遅れて上記信号形成回路が動作されるようにされてなることを

特徴とするデータ処理装置。

2. 上記起動信号は、第2の発振回路から供給される間欠動作クロックを計数し、所定時間ごとに適当な信号を出力するタイマ回路によって形成されるようにされてなることを特徴とする特許請求の範囲第1項記載のデータ処理装置。

3. 上記第1の発振回路を構成する発振子は、セラミック振動子であって、上記第2の発振回路を構成する発振子は水晶振動子であることを特徴とする特許請求の範囲第1項もしくは第2項記載のデータ処理装置。

発明の詳細な説明

【技術分野】

この発明は、データ処理技術さらにはデータ処理装置における発振停止処理に適用して特に有効な技術に関し、例えば低消費電力化のため原発振を停止させるモードを有するマイクロコンピュータシステムに利用して有効な技術に関する。

【背景技術】

マイクロコンピュータやICを使った計算機等

では、システムの動作クロック信号を作るために、水晶振動子のような発振子を用いた発振回路が設けられる。このようなデータ処理システムにおいては、例えばシステムが間欠動作するような場合、原発振を停止させることによりマイクロプロセッサやメモリ等の状態を一時的に停止させることにより、消費電力を少なくすることができる。そこで、外部からの信号やCPUからの命令によってクロックを停めてシステムを停止させるホールド機能を有するようにされたものがある（例えば、日立製作所〔株〕が昭和58年9月に発行した日立4ビット1チップマイクロコンピュータシステム、HMCS40シリーズ、LCD-IV〔HDS13900〕ユーザズマニュアル第29頁、第37頁参照）。

このようなホールド機能を有するマイクロコンピュータシステムでは、タイマ等からの割込みによってシステムの動作が再開されるようにされる。しかしながら、発振子を用いた発振回路を有するシステムでは、システムの再スタート時の電源供

特開昭61-18021(2)

給により発振が開始されてから、所定の時間が経過するまでの期間、発振子の発振動作が不安定となり、非常に高い周波数で異常発振することがある。

特に、最近では発振子として、水晶振動子に比べて安価なセラミック振動子が使用されることがあるが、セラミック振動子は水晶振動子に比べてインピーダンスが高いため、発振開始直後の不安定な時間が長くなる。

このような異常周波数の原発振信号がシステムに供給されると、誤まった書き込み制御信号が形成されて必要なデータを保持しているRAM（ランダム・アクセス・メモリ）等に印加され、データが破壊されたりするおそれがある。

〔発明の目的〕

この発明の目的は、低消費電力化のため、発振子の発振を停止させるようなモードを有する間欠動作可能なデータ処理システムにおいて、発振開始直後の異常発振によりメモリ等に保持されているデータが破壊されるようなデータエラーを防止

- 3 -

できるようにし、これによってシステムの安定した間欠動作を保証することにある。

この発明の他の目的は、発振子の発振を停止させるようなモードを有するデータ処理システムを安価に構成できるようにすることにある。

この発明の前記ならびにその他の目的と新規な特徴については、本明細書の記述および添付図面から明かになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、システムの動作クロック信号を形成する基準となる信号を発生するため高い周波数で発振する発振子を含む発振回路の他に、低い周波数で発振する発振子を含む発振回路を設け、システムの動作停止時には上記高い周波数の発振子の動作を停止させることで、消費電力を減少させるとともに、低い周波数の発振子からの発振信号を分周してタイマを動作させ、このタイマからの出力によってシステムの動作を再開させる割込み信

- 4 -

号を形成して高い周波数の発振子の発振を開始させるようにし、かつこの割込み信号を遅延する遅延回路を設けて、その遅延信号をシステムの動作クロック信号を形成する回路に供給させて、その動作を制御するようにして、発振子の発振動作開始後一定時間経過してからシステムの動作クロック信号が形成されるようにし、これによって発振開始直後の異常発振によるデータエラーを防止するという上記目的を達成するものである。

〔実施例〕

第1図は、本発明を4ビットシングルチップマイクロコンピュータ（以下シングルチップマイコンと称する）に適用した場合の一実施例を示す。同図において、縦線Aで囲まれた各回路ブロックは、単結晶シリコンのような一つの半導体基板上において形成される。

シングルチップマイコンMPUは、内部のROM（リード・オンリ・メモリ）に格納されたプログラムに従ってシステム各部のコントロールを行なうマイクロプロセッサ1と、プログラムの実行

特開昭61-18021(3)

に必要なデータやプログラムの実行によって得られたデータが記憶されるラム（随時読出し書込み可能なメモリ）2、システムの動作クロック信号の基準となるクロックを発生する第1の発振回路3、この第1の発振回路3から供給されるクロックに基づいてシステム内部の各種クロックパルスを形成するクロックパルス・ジェネレータ4、およびシステムに内蔵された時計機能を実現するためその基準クロックを形成する第2の発振回路5と、この発振回路5から供給されるクロックを計数してタイマ割込み信号を形成するカウンタ6等により構成されている。

また、上記マイクロプロセッサ1は、特に制限されないが、プログラムが格納されたROM、次に読み出される命令のアドレスがロードされるプログラムカウンタ、ROMから読み出された命令コードをデコードして内部の制御信号を形成する命令デコーダ、アキュムレータやアドレスレジスタのようなレジスタ類、四則演算や論理演算を行なうALU（演算論理ユニット）およびI/O

ポート等によって構成されている。

この実施例では、特に制限されないが、正確な時計機能を実現するため、第2の発振回路5を構成するためチップに外付けされた発振子7aとして、32kHz（正確には32,768kHz）のような比較的低い周波数で発振する水晶振動子を使用され、この32kHzの原発振信号をカウンタ6で分周することにより時計用のクロックが得られる。

一方、主としてシステムの動作クロック信号を形成する際の基準となるクロックを発生する第1の発振回路3を構成する発振子7bとしては、例えば400kHzのような高い周波数で発振するセラミック振動子を使用されている。これによって、時計用クロックよりも高い周波数のシステムクロック信号が形成され、マイクロプロセッサ等の高速動作が可能にされている。

そして、上記マイクロプロセッサ1は、例えばシステムを間欠動作させるような場合、ホールド命令を実行することでプログラムによって上記第

- 7 -

1の発振回路3の発振動作を停止させることができるようにされている。そのために、マイクロプロセッサ1から出力されたホールド命令をラッチするラッチ回路8が設けられている。

このラッチ回路8は、ホールド命令をラッチすると発振子7bへの電圧の供給を遮断して発振を停止させるとともに、発振停止後上記カウンタ6から供給されるタイマ割込み信号によって直ちに発振子7bへ電圧を印加して発振を開始させるようにされている。

また、この実施例では、上記カウンタ6から出力されるタイマ割込み信号を、停止中の上記第1の発振回路3がタイマ割込み信号で再び起動される際に、発振子7bの不安定な時期をやりすごすのに十分な時間だけ遅延させる遅延回路9が設けられている。

この遅延回路9は、例えば上記カウンタ6から上記ラッチ回路8へ供給される起動用クロック信号Aと、第2図に示すようにこの起動用クロック信号Aよりも周波数の高い前段の信号B、Cとの

- 8 -

論理積をとるANDゲート回路およびこのANDゲートの出力A、B、Cと上記クロック信号Aとの論理積をとるANDゲート回路等により構成されている。これによって、遅延回路9から、第2図に示すように、起動用クロック信号Aの最初の立上がりから一周期分遅れた遅延信号Eが出力される。

この遅延信号Eが前記クロックパルス・ジェネレータ4に供給され、動作することにより、システム内の各部へ供給される動作クロック信号としてのクロックパルスが形成されるようにされている。

従って、この実施例によれば、マイクロプロセッサ1が休止状態へ移るときは、先ずホールド命令によって第1の発振回路3の発振動作が停止される。これによって、システム各部へのクロックパルスの供給が中断されてタイマ回路（第2の発振回路5とカウンタ6）を除く回路の動作が停止される。ところで、上記各回路ブロックがCMOS（相補型MOSFET）回路で構成された場合、

特開昭61-18021(4)

その消費電流は動作周波数に比例する。しかるに、上記タイマ回路以外の回路部分は、タイマ回路に比べて高い周波数のクロックパルスで動作されるため、クロックパルスの停止により、システム全体としての消費電力は大幅に減少される。具体的には、タイマ回路部での消費電流が $2\mu A$ 程度であるのに対し、第1の発振回路3およびクロックパルスで動作される回路部分での消費電流は $1mA$ 程度であるので、発振回路3の停止により大幅な消費電力の低減が可能になる。

しかも、上記実施例では、システムを再起動させるべくタイマ回路（カウンタ6）から起動用クロック信号Aが出力されると、第1の発振回路3が直ちに動作されてその発振信号がクロックパルス・ジェネレータ4に供給されるが、クロックパルス・ジェネレータ4は、それよりも起動用クロック信号一周期分遅れて発生される遅延信号Eによって動作される。そのため、発振子7bの発振開始直後の不安定な時期を経過してから、クロックパルスが形成され各部へ供給されるようになる。

- 11 -

さらに、ホールド状態を解除し、システムを起動させるタイマ割込み信号も、内部のタイマ回路で発生させるのではなく、外部から供給できるように構成することも可能である。

【効果】

(1) システムの動作クロック信号を形成する基準となる信号を発生するため高い周波数で発振する発振子を含む発振回路の他に、低い周波数で発振する発振子を含む発振回路を設け、システムの動作停止時には上記高い周波数の発振子の発振を停止させることで、消費電力を減少させるとともに、システムの動作を再開させる割込み信号で直ちに発振子を動作させるようにし、かつこの割込み信号を遅延する遅延回路を設けて、その遅延信号を動作クロック信号を形成する回路（クロックパルス・ジェネレータ）に供給させて、その動作を制御するようにしたので、発振子の発振動作開始後一定時間経過してからシステムの動作クロック信号が形成されるようになるという作用により、発振子の発振開始直後の異常発振によるデータエ

その結果、低消費電力化のための発振停止モードを有するシステムにおいて、発振子の発振開始直後の異常な発振信号によりRAM等に誤まって書き込み制御信号が供給されて、内部のデータが破壊される等の事故を防止することができる。

なお、上記実施例では、遅延回路9を、タイマ回路（カウンタ6）から供給されるクロックを入力信号とするゲート回路により構成しているが、これに限定されるものでなく例えば、タイマ回路から供給される起動信号の立上がりやゆるやかにする時定数回路と、この時定数回路の出力を入力信号とする論理しきい値電圧の高いシュミット回路とにより遅延信号を形成するようにしてもよい。

また、上記実施例では、プログラムによってホールド状態を発生させて、発振およびシステムの動作を停止させているが、外部から供給されるホールド要求信号を入力する専用の端子をチップに設け、この外部端子へのホールド要求信号によっても発振およびシステムの動作を停止できるように構成してもよい。

- 12 -

ラーが防止され、システムの安定した間欠動作が保証されるという効果がある。

(2) システムの動作クロック信号を形成する基準となる信号を発生するため高い周波数で発振する発振子を含む発振回路の他に、時計用クロックを発生するため低い周波数で発振する発振子を含む発振回路を設け、システムの動作停止時には上記高い周波数の発振子の発振を停止させるようにしたので、高い周波数で発振する発振子として安価なセラミック振動子を用いることができるという作用により、発振子の発振停止モードを有し間欠動作可能にされたデータ処理システムを安価に構成することができるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ホールド状態で停止中の発振回路を起動させる信号を遅延させてクロックパルス・ジェネレータに供給する遅延回路は、前記実施例の

特開昭61-18021(5)

構成に限定されるものでなく、種々の変形例が考えられる。

【利用分野】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である4ビットシングルチップマイコンに適用したものについて説明したが、それに限定されるものでなく、発振回路の停止モードを有し間欠動作を行なうようにされたすべてのシステムに利用できるものである。

図面の簡単な説明

第1図は、本発明に係るデータ処理装置の一実施例を示すブロック図、

第2図は、その遅延回路による信号の形成方法の一例を示す波形図である。

1…マイクロプロセッサ、2…RAM（ランダム・アクセス・メモリ）、3…第1発振回路、4…クロック形成回路（クロックパルス・ジェネレータ）、5…第2発振回路、6…カウンタ、7a、7b…発振子（水晶振

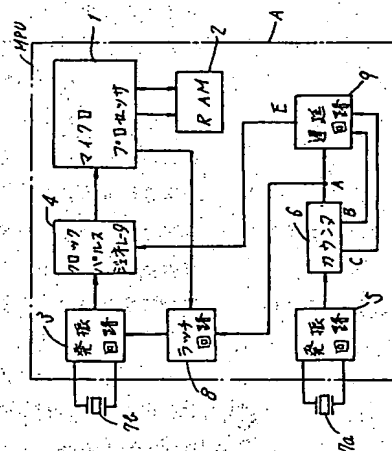
動子、セラミック振動子）、8…ラッチ回路、9…遅延回路。

代理人 弁理士 高橋 明夫

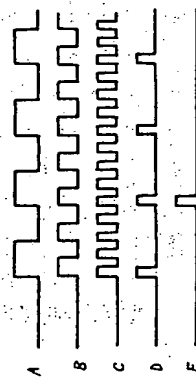
- 15 -

- 16 -

第 1 図



第 2 図



特許法第17条の2の規定による補正の掲載

昭和59年特許願第137183号(特開昭61-18021号, 昭和61年1月25日発行, 公開特許公報61-181号掲載)については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 6(3)

Int. Cl. ⁵	識別記号	庁内整理番号
G06F 1/04 1/32 15/78	301 510	A-7368-58 P-7530-5L 2-7832-58 G06F 1/00 -332

2. 明細書第6頁第14行目の「縦線A」を「縦線ア」と補正する。
3. 明細書第7頁第2行目の「ラム」を「RAM」と補正する。
4. 明細書第7頁第7行目の「クロックパルス・ジェネレータ4」を「クロック形成回路(クロックパルス・ジェネレータ)4」と補正する。
5. 明細書第10頁第2行目の「出力A, B, C」を「出力」と補正する。
6. 明細書第10頁第3行目の「ANDゲート回路等」を「ANDゲート回路(この出力の信号をDとする)等」と訂正する。
7. 願書添付図面第1図を添付補正図面のように補正する。

代理人 弁理士 小川 勝 男

平成 4. 1. 24 発行

手続補正書(自発)

平成 3 年 6 月 28 日

特許庁庁官殿

事件の表示

昭和59年 特許願 第 137183 号

発明の名称

データ処理装置

補正をする者

事件との関係 特許出願人

名 称 (510) 株式会社 日立 製作 所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目5番1号

株式会社日立製作所内

電話 東京 3212-1111 (大代表)

氏 名 (6850) 弁理士 小川 勝 男

補正の対象

明細書の特許請求の範囲の欄、発明の詳細な説明の欄及び願書に添付の図面

補正の内容

1. 特許請求の範囲の記載を別紙のとおり補正する。

特許請求の範囲

1. システムを制御する制御信号を発生する制御部と、システムの動作に必要なデータを保持するメモリを備え、間欠動作可能にされたデータ処理システムにおいて、システムの動作制御信号を形成する基準の信号を発生するため高い周波数で発振する発振子を含む第1の発振回路と、間欠動作用のクロックを発生するため低い周波数で発振する発振子を含む第2の発振回路と、上記第1の発振回路からの発振信号に基づいてシステムの動作制御信号を形成する信号形成回路と、上記第1の発振回路の停止中にこれを起動すべく形成された起動信号を遅延する遅延回路とを有し、上記起動信号によって上記第1の発振回路が直ちに動作されるとともに、上記遅延回路によって遅延された信号によって上記起動信号よりも遅れて上記信号形成回路が動作されるようにされてなることを特徴とするデータ処理装置。

2. 上記起動信号は、上記第2の発振回路から供

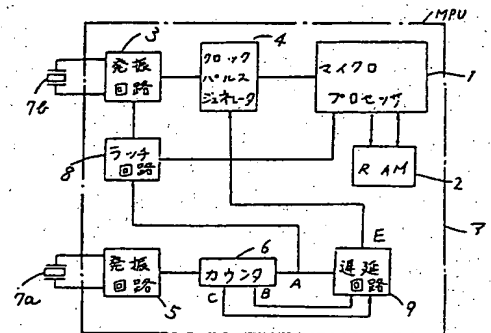
給される間欠動作用クロックを計数し、所定時間ごとに適当な信号を出力するタイマ回路によって形成されるようにされてなることを特徴とする特許請求の範囲第1項記載のデータ処理装置。

3. 上記第1の発振回路を構成する発振子は、セラミック振動子であって、上記第2の発振回路を構成する発振子は水晶振動子であることを特徴とする特許請求の範囲第1項もしくは第2項記載のデータ処理装置。

代理人 井理士 小川 勝 男

平成 4. 1. 24 発行

第 1 図



THIS PAGE BLANK (USPTO)